

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-067769

(43)Date of publication of application : 19.03.1993

(51)Int.Cl.

H01L 27/15

(21)Application number : 03-252758

(71)Applicant : SONY CORP

(22)Date of filing : 05.09.1991

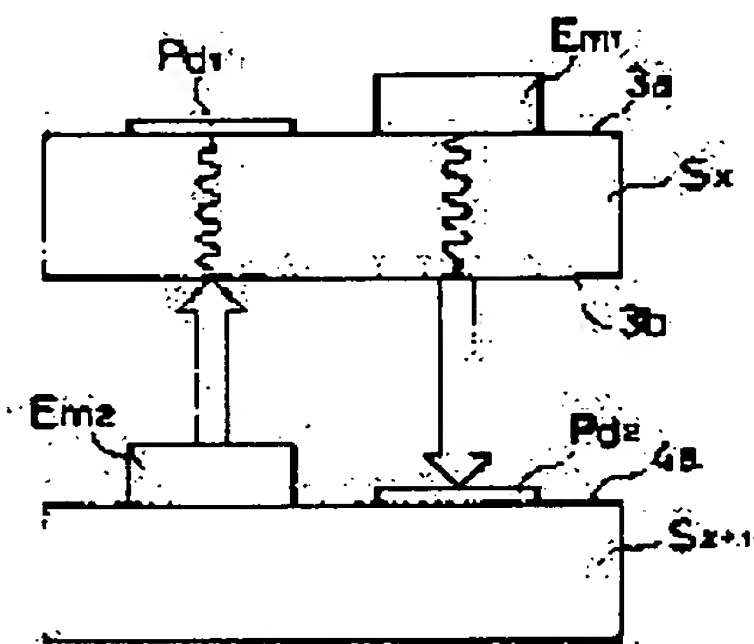
(72)Inventor : OKUHORA AKIHIKO
TAKANO TOMOAKI
TANAKA KYOTSUGU
ISHIKAWA HIDETO

(54) THREE-DIMENSIONAL PHOTOELECTRONIC INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To provide three-dimensional optical transmission without adding a special manufacturing step for a plurality of substrates that are piled up one after another on each main face thereof.

CONSTITUTION: Photodetectors Pd1 and Pd2, and light emitting devices Em1 and Em2 are formed on surfaces 3a and 4a of a plurality of substrates SX and SX+1, which are piled up one after another on each main face thereof. The light from the light emitting devices Em1 and Em2 is not absorbed and entirely transmitted through the substrates SX and SX+1 since the wavelength of the light is longer than that of an absorption edge of the substrates SX and SX+1. Then, the light is received by the photodetectors Pd2 and Pd1 on the other substrate so that optical coupling is carried out between the substrates.



LEGAL STATUS

[Date of request for examination] 07.09.1998

[Date of sending the examiner's decision of rejection] 23.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 6 7 7 6 9

(43) 公開日 平成 5 年 (1 9 9 3) 3 月 1 9 日

(51) Int. Cl. ⁵
H01L 27/15

識別記号

庁内整理番号
8934-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 4 (全 1 1 頁)

(21) 出願番号 特願平 3 - 2 5 2 7 5 8

(22) 出願日 平成 3 年 (1 9 9 1) 9 月 5 日

(71) 出願人 0 0 0 0 0 2 1 8 5

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 3 5 号

(72) 発明者 奥洞 明彦

東京都品川区北品川 6 丁目 7 番 3 5 号 ソ

ニー株式会社内

(72) 発明者 高野 知明

東京都品川区北品川 6 丁目 7 番 3 5 号 ソ

ニー株式会社内

(72) 発明者 田中 清嗣

東京都品川区北品川 6 丁目 7 番 3 5 号 ソ

ニー株式会社内

(74) 代理人 弁理士 小池 晃 (外 2 名)

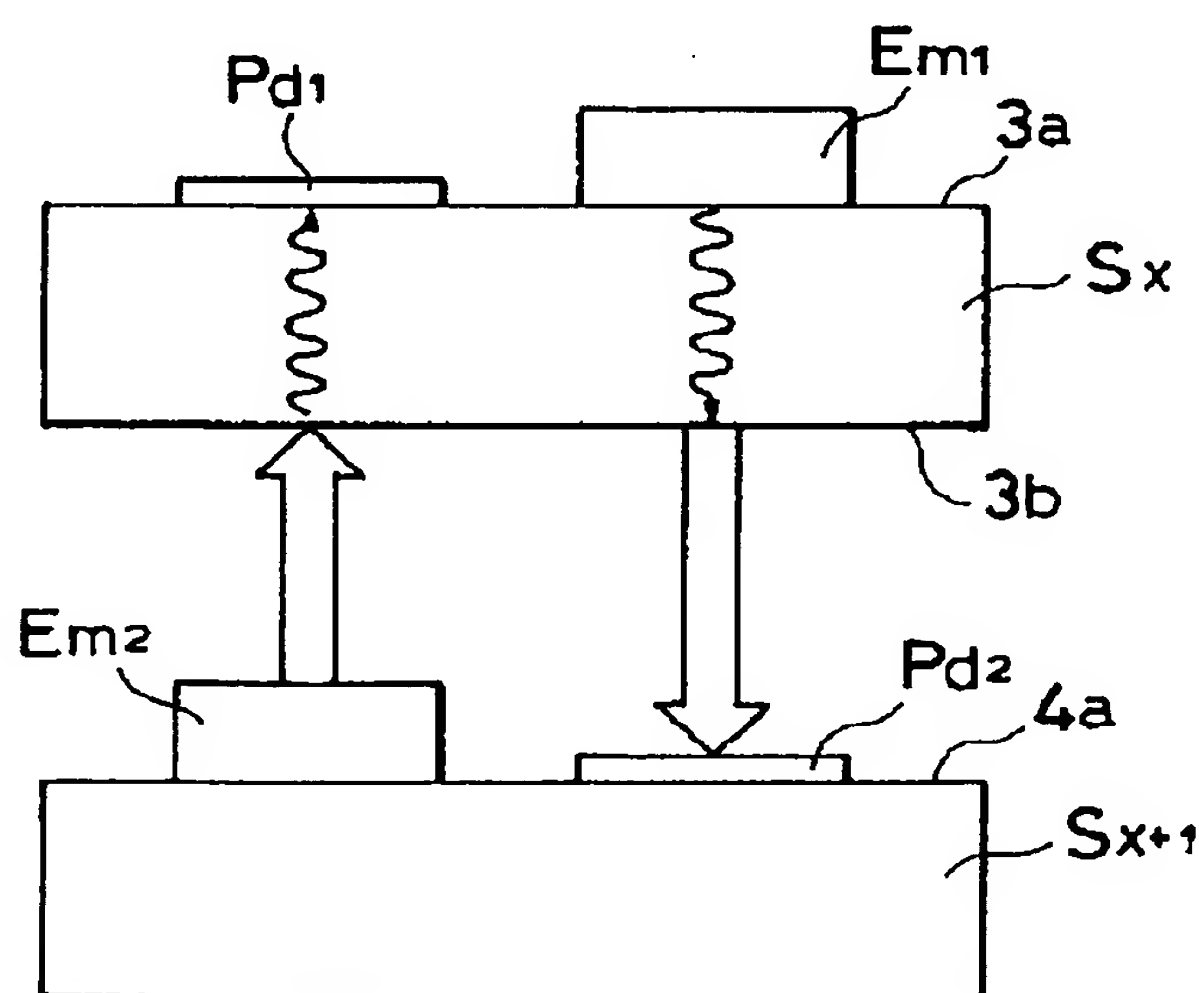
最終頁に続く

(54) 【発明の名称】 3 次元光電子集積回路装置

(57) 【要約】

【目的】 基板主面に垂直な方向に積層された複数の基板自体の特別な加工を要せずに、3 次元的な光伝送を行う。

【構成】 複数の基板 S_1, S_2, \dots が基板主面に垂直な方向に積層され、各基板 S_1, S_2, \dots のそれぞれ表面 3a, 4a には、受光素子 Pd_1, Pd_2 や、発光素子 Em_1, Em_2 が形成される。発光素子 Em_1, Em_2 の発光波長は、基板 S_1, S_2, \dots の吸収端よりも長波長とされるため、発光素子 Em_1, Em_2 からの光は当該基板 S_1, S_2, \dots に吸収されることなく透過して、他の基板の受光素子 Pd_1, Pd_2 に受光され、基板間の光結合がなされる。



【特許請求の範囲】

【請求項 1】 光電子集積回路がそれぞれ形成された複数の半導体基板を該半導体基板の主面に垂直な方向に積層すると共に、前記半導体基板を透過する波長の光信号によって前記半導体基板同士の間の信号が伝達されることを特徴とする 3 次元光電子集積回路装置。

【請求項 2】 半導体基板が GaAs 基板とされ、光電子集積回路の発光素子の発光波長が GaAs の吸収端よりも長波長とされ、該光電子集積回路の受光素子が前記発光波長の光に感度を有することを特徴とする請求項 1 記載の 3 次元光電子集積回路装置。

【請求項 3】 請求項 2 記載の 3 次元光電子集積回路装置において、受光素子は InGaAs 系の層を光吸収層とすることを特徴とする 3 次元光電子集積回路装置。

【請求項 4】 半導体基板の少なくとも一部がシリコン基板とされ、光電子集積回路の発光素子及び受光素子は前記シリコン基板に積層された化合物半導体基板に形成されてなり、前記発光素子の発光波長がシリコンの吸収端よりも長波長とされ、前記受光素子が前記発光波長の光に感度を有することを特徴とする請求項 1 記載の 3 次元光電子集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は基板の主面に垂直な方向に基板を積層した 3 次元光電子集積回路装置に関する。

【0002】

【従来の技術】 シリコンの如き半導体や GaAs の如き化合物半導体を用いた LSI や IC の高集積化や高速化が進められており、これらの電子デバイスを用いるワークステーションやパーソナルコンピュータ等のシステムでは、将来ますます小型化や高性能化がなされることが予想されている。

【0003】 現状の半導体集積回路を用いた LSI では、その基板上に形成される微細な素子間の接続は、金属等の物質をパターン化した電気的な配線である。しかし、このような電気的配線を用いている限り、信号の超高速化には問題があり、チップの高密度実装に伴い、信号の伝送歪みや伝送ロス、或いは相互干渉などが顕在化する。

【0004】 ところで、光で信号伝達を行う光電子集積回路では、このような超高速化や高密度化に伴う問題が発生しない。すなわち、配線の浮遊容量やインダクタンスの低減等を図ることができる光電子集積回路では、デバイスの超高速化を容易に進めることができる。また、時間的な多重伝送を行う際には、光電子集積回路を用いることで、低消費電力化も可能である。

【0005】

【発明が解決しようとする課題】 超高速化と共に高密度な実装を実現するためには、基板の主面と垂直な方向に基板を集積させる 3 次元化が有力な手段である。

【0006】 ところが、3 次元的に配列された基板同士で信号の光伝送を行う場合では、基板の両面に受光素子と発光素子をそれぞれ配したり、基板に光伝送路を形成するために透孔を形成する必要がある。基板両面に素子を形成したり、透孔を形成するために、プロセス上の工程数が増加し、そのコストも増大する。

【0007】 また、基板を透過して光伝送を行う例も知られている。例えば「IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 25, No. 1, FEBRUARY 1990」では、3 次元化したメモリの間の信号伝送を光結合により行う。ところが、この技術では、シリコン基板を光信号が透過する際の光損失を小さくするために、シリコン層の厚みは 0.5 μm 程度に薄くされ、そのためのポリシング等の加工が不可欠となる。

【0008】 そこで、本発明は上述の技術的な課題に鑑み、基板に対する特別な加工を必要としないで、3 次元的な光信号の伝送を行うような 3 次元光電子集積回路装置の提供を目的とする。

【0009】

【課題を解決するための手段】 上述の目的を達成するため、本発明の 3 次元光電子集積回路装置は、光電子集積回路がそれぞれ形成された複数の半導体基板を該半導体基板の主面に垂直な方向に積層すると共に、前記半導体基板を透過する波長の光信号によって前記半導体基板同士の間の信号が伝達されることを特徴とする。

【0010】 本発明では、前記半導体基板を例えば単結晶のシリコン基板や化合物半導体基板とすることができる。また、半導体基板は、シリコン基板の一部に化合物半導体基板を接続したハイブリッド構造のものでも良く、この場合には、化合物半導体基板に受光素子及び発光素子を形成できる。

【0011】 前記半導体基板を透過する光信号は、1 つの半導体基板の光電子集積回路の発光素子で生成され、他の半導体基板の光電子集積回路の受光素子で受光される。この発光素子の発光波長は、基板材料の吸収端よりも長波長であることが有効であり、その受光素子が該発光波長の光に感度を有することが必要となる。

【0012】 図 1 は、各種半導体基板材料の吸収係数の波長依存性を示す図であって、図中、横軸が光の波長、縦軸が吸収係数である。例えば化合物半導体である GaAs を基板材料とした場合では、0.85 μm を少し超えたところに吸収端があり、この GaAs の吸収端以上の波長の光で信号の伝達を行うことで、GaAs 基板での吸収は殆ど起こらずに、基板を透過した光伝送が可能となる。また、例えばシリコン基板では、1.1 μm 強のところに吸収端があり、その吸収端以上の波長の光で光伝送を行うことで、シリコン基板に吸収されない伝送がなされる。

【0013】 化合物半導体基板を用いて光電子集積回路

を構成する場合、その基板に適合した発光素子や受光素子を選ぶことが重要となる。基板を有効に透過する波長の光を発生させる発光素子として、例えばGaAs基板若しくはInP基板を用いる場合、InGaAs歪量子井戸レーザーやInGaAsP長波長レーザー等を採用することができる。また、その基板を透過した波長の光を受光する受光素子として、例えばInGaAs系の層を光吸収層とした素子を利用することができる。

【0014】

【作用】半導体基板を透過する波長の光信号で基板同士の信号伝達を行うことで、基板を特別に加工する必要がなくなり、また、受光素子や発光素子の位置の任意性も拡大する。また、同時に複数の基板に対しても、透過する光信号によって伝送可能となり、3次元光電子集積回路装置の高速化に寄与することになる。

【0015】

【実施例】本発明の好適な実施例を図面を参照しながら説明する。

【0016】〔第1の実施例〕本実施例は本発明の3次元光電子集積回路装置の基本的な実施例であり、図2に示す如き3次元構造を有する。

【0017】図2に示すように、本実施例の3次元光電子集積回路装置は、n枚の基板 $S_1 \sim S_n$ を積層させて構成されている。各基板間は、真空空間が介在して封止され、或いは光信号を透過する材料が介在する構造とされる。基板 $S_1 \sim S_n$ は、GaAs基板やInP基板等の化合物半導体基板であり、各基板 $S_1 \sim S_n$ は単一の材料基板であっても良く、異なる材料の化合物半導体基板を交互或いは順次に配列させたものでも良い。

【0018】各基板 $S_1 \sim S_n$ の一部の領域1には、光結合用の発光素子Emと受光素子Pdが基板上に配列されて設けられている。各基板 $S_1 \sim S_n$ の他の領域2は、これら発光素子Emと受光素子Pdの駆動回路や、他の信号処理回路や記憶などのための領域とされている。この光結合用の領域1は、基板の集積方向で重なるような位置にそれぞれ形成されており、従って、光結合のための光信号はそれぞれ基板に垂直な方向を光伝送路とする。

【0019】図3は光伝送を行う一対の基板 S_1, S_{n+1} の要部断面図であり、双方向の光伝送がなされる様子を示す。ここで一対の基板 S_1, S_{n+1} は前記各基板 $S_1 \sim S_n$ のうちの任意の2つを取り出したものである。発光素子Em₁, Em₂は基板 S_1, S_{n+1} を透過し得る波長の光を発生させ、その光を基板 S_1, S_{n+1} の主面に垂直な方向に射出する。発光素子Em₁, Em₂は面出射型レーザーであるが、両基板 S_1, S_{n+1} の間で透過すべき基板は基板 S_1 であるため、基板 S_1 の発光素子Em₁は表面3aから裏面3bに向けて光を射出し、基板 S_{n+1} の発光素子Em₂は表面4bから基板 S_1 に向けて光を射出する。

【0020】基板 S_1 の発光素子Em₁からの光は基板 S_1 を透過して、その透過後に基板 S_{n+1} の表面4aに形成された受光素子Pd₁に受光される。また、基板 S_{n+1} の発光素子Em₂からの光は、射出後に基板 S_x の裏面3bに到達し、その裏面3bから表面3aにまで基板 S_x 中を透過して受光素子Pd₁に受光される。

【0021】このような双方向の光結合によって、主面に垂直な方向に積層された関係の基板同士の、信号の歪み、相互干渉、伝送ロス等が極力軽減された状態の信号伝送が行われ、高集積化と共に高速動作が実現される。

【0022】なお、上記発光素子Emは、基板に垂直な共振器を有する構造でも良く、基板に対して45°のミラーを有する構造でも良く、或いはホログラムレンズを用いるものでも良い。また、その発光素子Emの射出方向も基板を透過する方向であれば良く、特に基板の主面に垂直な方向に限定されず、主面から斜めな方向に発光素子Emの光線が射出されるような構造であっても良い。

【0023】また、発光素子Emと受光素子Pdのための領域1は、特に基板 $S_1 \sim S_n$ において、それぞれ一箇所である必要はなく、各基板中の複数箇所に形成するようにすることも可能である。

【0024】〔第2の実施例〕本実施例は、GaAs基板を用いた例であり、第1の実施例のより具体的な例である。

【0025】図4にその要部構造を示す。化合物半導体基板である一対のGaAs基板11, 12が基板の主面に垂直な方向に積層されており、各GaAs基板11, 12の表面13a, 14aには、それぞれ発光素子である面発光レーザー15、受光素子であるMSM型フォトディテクター16及び能動電子素子であるMES-FET17が形成されている。

【0026】面発光レーザー15は、基板内と基板上に一対の4分の1波長周期の半導体多層反射膜21, 22を有し、In_{0.1}Ga_{0.9}As歪み量子井戸活性層23で発光させる構造を有するDBR面発光型レーザーである。In_{0.1}Ga_{0.9}As歪み量子井戸活性層23には、p型クラッド層24, n型クラッド層25がそれぞれ隣接し、p型クラッド層24とn型クラッド層25にIn_{0.1}Ga_{0.9}As歪み量子井戸活性層23が挟まれる。

【0027】この面発光レーザー15は、活性層をIn_{0.1}Ga_{0.9}As/GaAs歪み量子井戸とした場合に、980nmの発振波長を有することになる。レーザー光の出力方向を定めるのは、2つの半導体多層反射膜21, 22の反射率の大小であり、反射率の小さい側の半導体多層反射膜の方にレーザー光は射出する。従って、GaAs基板11の面発光レーザー15は半導体多層反射膜21側の反射率が高く、GaAs12の面発光レーザー15は半導体多層反射膜22側の反射率が高い。GaAs基板11の面発光レーザー15の半導体多

層反射膜 2 1 の周囲には、ポリイミド等の誘電体膜 2 6 が形成される。また、各面発光レーザー 1 5 には、電極 2 7, 2 8 が接続される。

【0028】MSM型フォトディテクター 1 6 は、GaAs 基板を透過した光を吸収して電気信号に変化するための受光素子であり、それぞれ対向する GaAs 基板の面発光レーザー 1 5 の位置に対応した各 GaAs 基板 1 1, 1 2 の表面 1 3 a, 1 4 a の位置に形成されている。この MSM 型フォトディテクター 1 6 は、一対の金属電極 3 1, 3 2 の間に、光吸収層となる半導体層を介在させ、その光吸収素子での光電変換から光を検出する。

【0029】MSM型フォトディテクター 1 6 の構造について説明すると、各基板の表面 1 3 a, 1 4 a に、櫛歯状或いはミアンダ状に配されて対向する一対の電極 3 1, 3 2 が被着して形成されており、その下部に半導体層としてキャップ層 3 3、光吸収層 3 4、バッファ層 3 5 が形成される。

【0030】図 5 は MSM 型フォトディテクター 1 6 の拡大断面図である。この MSM 型フォトディテクター 1 6 では、金属電極 3 1, 3 2 が被着するキャップ層 3 3 が AlInAs 層から構成され、その下層の電子と正孔の対を発生させる光吸収層 3 4 が InGaAs 層 ($0 \leq X \leq 1$) からなる。この InGaAs 層で光吸収層 3 4 を構成することで、GaAs 基板を透過する波長 ($0.9 \mu\text{m}$ 以上) の光に受光感度を有することになり、その x の値により、受光感度を有する波長を調整できる。この光吸収層 3 4 の下層には AlInAs 層 ($0 \leq a \leq X$) からなるバッファ層 3 5 が配される。このバッファ層 3 5 は光吸収層 3 4 に対して GaAs 基板 1 1, 1 2 の格子定数を緩和するための層であり、混晶比が徐々に変化するグレーティング層とされる。バッファ層 3 5 の GaAs 基板 1 1, 1 2 の接触面付近は、 $a = 0$ とされて AlInAs 層は AlAs 層に等しい。バッファ層 3 5 の光吸収層 3 4 の接触面付近は、 $a = X$ とされた AlInAs 層とされ、その格子定数は光吸収層 3 4 のものとほぼ等価である。

【0031】図 6 はこの MSM 型フォトディテクター 1 6 のエネルギーバンド図である。キャップ層 3 3 は光吸収層 3 4 よりもワイドギャップであり、この光吸収層 3 4 はバッファ層 3 5 及び GaAs 基板 1 1, 1 2 よりもナローギャップである。従って、光吸収層 3 4 では他の層及び基板に比べて長波長の光でも吸収可能となり、特に GaAs 基板 1 1, 1 2 を透過した光でさえ、吸収され得ることになる。バッファ層 3 5 は基板 1 1, 1 2 側に向かう程ワイドギャップであり、感度効率の面からも好適である。

【0032】このようなエネルギーバント構造から GaAs 基板 1 1, 1 2 を透過した光に対しても、表面からの光と同様に光吸収層 3 4 で光電変換による電荷を得る

ことが可能となる。

【0033】図 7 は図 5 の MSM 型フォトディテクター 1 6 の変形例を示す断面図であり、光吸収層を超格子構造とする例である。すなわち、図 4 の GaAs 基板 1 1 には、図 5 の MSM 型フォトディテクター 1 6 の代わりに図 7 の MSM 型フォトディテクターを形成できる。

【0034】図 7 に示すように、GaAs 基板 7 1 上には、GaAs/InGaAs 層からなる歪み超格子層 7 2 が形成され、その歪み超格子層 7 2 上に GaAs 層からなるキャップ層 7 3 が形成される。そのキャップ層 7 3 の表面には、電極 7 4, 7 4 が被着される。

【0035】図 7 の電極 7 4, 7 4 は歪み超格子層 7 2 に電界を生じさせるためのものであり、オーミック電極とショットキー電極のいずれでも良い。また、電極 7 4, 7 4 は一対の対角型電極であっても良く、くし型のパターンを有するものでも良い。また、前記キャップ層 7 3 は、アンドープの GaAs 層からなるが、暗電流を抑えるために、バンドギャップの大きな AlGaAs 層を用いても良く、キャップ層 7 3 自体を省略しても良い。そして、歪み超格子層 7 2 は、バンドギャップが基板よりも狭い InGaAs 層を有し、この InGaAs 歪み層で基板を透過する $0.9 \sim 1.0 \mu\text{m}$ 程度の波長の光の光吸収がなされる。勿論、InGaAs 歪み層での光吸収は、基板表面からの光と同様に基板裏面からの光に対してもなされる。

【0036】図 8 は図 7 の MSM 型フォトディテクターの変形例である。図 7 の構造のままでは、電極 7 4, 7 4 の直下の電気抵抗が大きいため、図 8 の MSM 型フォトディテクターは低抵抗化領域 7 5, 7 5 を付加した構造とされる。この低抵抗化領域 7 5, 7 5 は、例えば n 型或いは p 型の不純物をイオン注入し、熱処理して形成される。各低抵抗化領域 7 5, 7 5 はそれぞれ n 型、p 型を問わず、歪み超格子層 7 2 を貫通するように形成される。

【0037】次に、図 4 の MES-FET 1 7 について説明する。MES-FET 1 7 は、各 GaAs 基板 1 1, 1 2 の各表面 1 3 a, 1 4 a に形成されており、ソース電極 4 2 s とドレイン電極 4 2 d のそれぞれ下部には、それぞれオーミック接触させるための金属層からなるオーミックメタル層 4 1 s, 4 1 d が離間して形成され、これらオーミックメタル層 4 1 s, 4 1 d の間には、低濃度の不純物拡散領域からなるチャネル層 4 4 が形成されている。チャネル領域 4 4 の表面には、空乏層を得るためのショットキーゲート電極 4 3 が微細なゲート長を以て形成されている。なお、ショットキーゲート電極 4 3 の側壁やコンタクトホール外のソース電極 4 2 s やドレイン電極 4 2 d の下部には、後述するような無反射コート絶縁膜 1 8 が被覆する。

【0038】GaAs 基板 1 1 の 1 つの MES-FET 1 7 a は、特に、その GaAs 基板 1 1 の表面に形成さ

れた低濃度の不純物拡散領域からなる抵抗層 4 6 に接続する。このMES-FET 1 7 aには、オーミックメタル層 4 1 s, 4 1 dの下部にn'型のコンタクト層 4 5が形成されており、ドレイン側のコンタクト層 4 5が抵抗層 4 6の端部に接続する。抵抗層 4 6の一方の端部はコンタクト層 4 5を介して電極 4 7に接続され、抵抗層 4 6の他方の端部はコンタクト層 4 5を介してドレイン電極 4 2 dと接続される。

【0039】図9と図10に駆動回路の一例を示す。図9は受光素子であるMSM型フォトディテクターの駆動回路の一例を示す。MES-FET 8 1のソースが接地され、MES-FET 8 1のドレインが抵抗 8 3を介して出力ノード 8 4に接続する。MES-FET 8 1のゲートとその出力ノード 8 4の間には、MSM型フォトディテクター 8 2が接続され、さらにMES-FET 8 1のゲートは抵抗 8 5を介して接地されている。この回路では、MES-FET 8 1のドレインが抵抗 8 3に接続するため、図4のMES-FET 1 7 aの構造がレイアウト上有効である。

【0040】図10は発光素子である面発光レーザーの駆動回路の一例を示す。図中、電源電圧 V_{DD} に一端が接続される面発光レーザー 8 8の他端は、一対のMES-FET 8 6, 8 7の共通したドレインに接続される。これら一対のMES-FET 8 6, 8 7のソースは共通に接地され、一方のMES-FET 8 6のゲートに信号電圧 V_{sig} が供給され、他方のMES-FET 8 6のゲートに参照電圧 V_{ref} が供給される。この駆動回路により、信号電圧 V_{sig} が論理振幅の高レベルの時に、面発光レーザー 8 8の両端に電位差が加わり、基板を透過する波長の光が発生することになる。

【0041】再び図4の3次元光電子集積回路装置の構造について説明すると、GaAs基板 1 1, 1 2の表面 1 3 a, 1 4 a及び裏面 1 3 b, 1 4 bには、無反射コート絶縁膜 1 8が形成されている。この無反射コート絶縁膜 1 8は、GaAs基板 1 1, 1 2の露出した表面 1 3 a, 1 4 aの保護膜として機能すると共に、無反射であるために光を十分に透過させることができ、基板同士の光結合に好適とされる。また、MSM型フォトディテクター 1 6や面発光レーザー 1 5は例えば隣接するように形成されるが、それらの素子間分離のために、塗布型絶縁膜 1 9が溝に埋め込まれて存在する。

【0042】概ね上述の構造を有する本実施例の3次元光電子集積回路装置では、面発光レーザー 1 5で発生した光は、その波長がGaAsの吸収端よりも長波長であるために、GaAs基板 1 1を透過してMSM型フォトディテクター 1 6に受光される。従って、基板同士の間の信号伝送が、信号の歪み、伝送ロス、相互干渉或いは伝送遅延等の無い理想的なものとなる。また、光結合であるために、高速な動作が可能となり、例えばマイクロプロセッサとキャッシュメモリの間の結合の如き高速性が

要求される部分に本実施例の3次元光電子集積回路装置を適用することで、システム全体の大幅な高速化が実現される。

【0043】また、本実施例では、伝送路が基板自体であり、光ファイバーの如き伝送ロスは問題とならない。従って、レーザー出力の節約が可能であり、時間多重化等により光結合の伝送路を減らして、低消費電力化もできる。

【0044】さらに、本実施例は、従来の高集積なLSIを、その3次元化によって機能ブロックや小ブロックに分割し、そのブロック毎の基板を多数積層した構成とされる。従って、3次元化のために基板を積層する前の段階で、不良の発見された基板を除いて3次元化することができ、良品率を高めることができる。

【0045】さらに、本実施例の3次元光電子集積回路装置では、GaAs基板同士で光結合を行う構造としているか、GaAs基板の他に一部シリコン基板やInP基板等を組合せた構造とすることもでき、GaAs ICとECLやCMOS等の論理レベルの異なるIC間の結合も可能である。

【0046】次に、図11～図13を参照して、本実施例の3次元光電子集積回路装置の製造方法について簡単に説明する。

【0047】初めに、GaAs基板上にMES-FETのチャネル層、コンタクト層及び負荷用の抵抗層が形成される。これらの層の形成は、例えばSi等のn型のドーパントを選択的にイオン注入し、アニールによる活性化処理を経て行うことができる。

【0048】次に、図11に示すように、受光素子であるMSM型フォトディテクターを形成すべき領域のGaAs基板 1 0 1に凹部 1 0 2を形成する。この凹部 1 0 2の形成時には、シリコン酸化膜 1 0 3をマスクとすることができる。

【0049】続いて、MOCVD法やMBE法等により、選択的に凹部 1 0 2内にバッファ層 1 0 4や光吸収層 1 0 5及びキャップ層 1 0 6を成長させる。この時、凹部 1 0 2の外のシリコン酸化膜 1 0 3の表面には、バッファ層等の化合物半導体層の一部が積層されるが、フォトリソグラフィによるレジストパターニングによってこれらの化合物半導体層は除去される。

【0050】次に、再びシリコン酸化膜 1 0 7を形成し、そのシリコン酸化膜 1 0 7の発光素子を形成すべき領域を開口した後、該シリコン酸化膜 1 0 7をマスクとして凹部 1 0 8を形成する。

【0051】凹部 1 0 8の形成後、再びMOCVD法やMBE法等により、選択的に凹部 1 0 8内に、下部半導体多層反射膜 1 0 9、n型クラッド層 1 1 0、InGaAs歪み量子井戸活性層 1 1 1、p型クラッド層 1 1 2及び上部半導体多層反射膜 1 1 3を順次積層する。これら面発光レーザーを構成する各層を形成した後、シリコ

ン酸化膜 107 上の多結晶化合物半導体層を除去し、また、図 12 に示すように、InGaAs 歪み量子井戸活性層 111 から上部半導体多層反射膜 113 までの層については、メサ構造とするようなエッチングを行う。

【0052】続いて、シリコン酸化膜 107、103 を除去し、素子間分離を行うために、受光素子や発光素子の周囲に溝 114 を形成する。そして、溝 114 の内部に、塗布型絶縁膜 115 を埋め込む。この塗布型絶縁膜 115 を硬化させて、素子間分離を完成する。

【0053】絶縁膜 115 の形成後、AuGe/Ni 層の蒸着、リフトオフ、アロイ化処理を経てオーミックメタル層を形成する。また、同様なリフトオフ法により、レーザーの p 型の電極を Ti/Pt/Au 層などにより形成する。これらの電極形成は、受光素子や発光素子のみならず、同一基板上の MES-FET の電極形成や配線と共に行うことができる。

【0054】〔第 3 の実施例〕本実施例は各基板がシリコン基板に InP 基板を取りつけたハイブリッド構造とされる例であり、シリコン基板に CMOS-LSI が形成され、InP 基板に受光素子や発光素子が形成され、各基板間の光による信号伝送が行われる例である。なお、本実施例についても、図 14 に示される基板は、多数積層されている基板のうちの 2 枚を取り出して説明しているものであり、積層する基板の数については限定されるものではない。

【0055】図 14 に示すように、本実施例は、その電子回路部 211 がシリコン基板 201、202 に形成され、発光素子であるレーザーダイオード 212 及び受光素子である PIN フォトディテクター 213 が化合物半導体基板である絶縁性の InP 基板 203、204 上に形成されている。InP 基板 203、204 はそれぞれソルダリング層 205 を介してシリコン基板 201、202 上に積層され一体化されている。すなわち、各基板は、シリコン基板 201、202 と InP 基板 203、204 のハイブリッド構造とされる。この構造から、基板間の光伝送は、InP 基板 203、204 のみならずシリコン基板 201、202 も透過して行われる。InP の吸収端は $0.9\mu\text{m}$ 強の波長であるが、シリコンの場合には $1.1\mu\text{m}$ 強の波長となる。従って、両方の基板を透過する波長の光として、少なくともシリコンの吸収端以上の波長の光が必要であり、本実施例では、 $1.3\mu\text{m}$ 帯の波長の光がレーザーダイオードにより射出される。なお、InP 基板 203、204 の上部には、n 型の InP バッファ層 206 が形成される。

【0056】レーザーダイオード 212 は、シリコン及び InP の両方の基板を透過する波長の光を発生させる。このレーザーダイオード 212 は、InGaAsP 活性層 221 を用いたファブリペロー水平共振器を有するレーザーであり、InGaAsP 活性層 221 はその下層に n 型クラッド層 222 を有し、InGaAsP 活

性層 221 はその上層に p 型クラッド層 223 を有する。レーザービームを基板主面に垂直な方向に射出するために、レーザーダイオード 212 には、 45° 反射鏡 206、206 が形成される。このため InGaAsP 活性層 221 から基板主面に水平に導出されたレーザービームは 45° 反射鏡 206、206 で基板主面に垂直に射出されることになる。レーザーダイオード 212 は、電極 224 と電極 225 がそれぞれ p 側と n 側に接続する。

【0057】なお、レーザーダイオード 212 は、屈折率導波型でも、利得導波型でも、分布帰還型でも、リブ導波型でも良く、勿論第 2 の実施例の如き DBR 反射鏡を有する面発光レーザーでも良い。

【0058】PIN フォトディテクター 213 は、シリコン基板及び InP 基板を透過した $1.3\mu\text{m}$ 帯の波長のレーザービームに感度を有する受光素子である。本実施例では、PIN フォトディテクター 213 は、InP 基板上に形成されたメサ型の構造とされ、InGaAs 層を光吸収層 231 とし、その下層に n 型の InP 層からなるバッファ層 232 が形成され、光吸収層 231 の上層には、InGaAsP 層からなる窓層 233 と p' 型の拡散層 234 が形成される。窓層 233 の表面に、電極 235 が形成され、n 型の InP 層の下層部分にも電極 236 が形成される。なお、本実施例では、光吸収層 231 として InGaAs 層を形成したが、シリコン基板を透過する $1.3\mu\text{m}$ 帯波長域に感度を有する他の層として、Ge、GaSb、AlGaAsSb、InGaSb 等の層でも良く、勿論 InGaAsP 層を光吸収層としても良い。

【0059】ここで、PIN フォトディテクター 213 とレーザーダイオード 212 は、基板主面に垂直な方向で対向するように形成される。すなわち、レーザーダイオード 212 の 45° 反射鏡 226 と PIN フォトディテクター 213 の光吸収層 231 は基板主面に垂直な同一直線上にあり、さらにその光伝送路には、InP 基板とシリコン基板を接続させるためのソルダリング層 205 が存在しないようにされている。従って、レーザーダイオード 212 から射出した光は、InP 基板及びシリコン基板を透過して、確実に PIN フォトディテクター 213 に受光される。

【0060】PIN フォトディテクター 213 とレーザーダイオード 212 は、同じ InP 基板 203、204 にそれぞれ形成されるが、両者を素子間分離するために、所謂トレンチ形状の分離溝 207 が両者の間の領域に形成される。

【0061】次に、シリコン基板 201、202 上に形成される電子回路部 211 について説明する。この電子回路部 211 は、CMOS 構造とされ、pMOS トランジスタ (p チャンネル) 241 と、nMOS トランジスタ (n チャンネル) 242 とがシリコン基板 201、2

02の表面に形成される。これらpMOSトランジスタ241やnMOSトランジスタ242は、厚いシリコン酸化膜からなるフィールド酸化膜243によって活性領域の周囲が覆われており、素子間が分離されてなる。なお、素子分離のためのフィールド酸化膜243はLOCOSによらず、他の分離方法でも良い。また、フィールド酸化膜243の下部には、チャンネルストップ領域244も形成される。

【0062】電子回路部211は、PINフォトディテクター213や、レーザーダイオード212の駆動回路として機能し、さらにメモリや演算処理回路、その他の機能を有する回路とすることができる。

【0063】ここで、各MOSトランジスタについて簡単に説明すると、まず、pMOSトランジスタ241は、周囲をフィールド酸化膜243に囲まれたn型のウェル領域245の表面に形成されてなる一対のp型不純物領域246、246をソース領域、ドレイン領域とする。この一対のp型不純物領域246、246の間の領域は、チャンネル領域とされ、その上部にはゲート酸化膜を介してポリシリコン層からなるゲート電極247が形成される。このゲート電極247は層間絶縁膜248及びリフロー膜249に被覆され、p型不純物領域246、246を露出させたコンタクト領域にリフロー膜249の上層の第1層目のアルミニウム配線層250が接続する。

【0064】次に、nMOSトランジスタ242は、p型のウェル領域251に形成された一対のn型不純物領域252、252をソース領域、ドレイン領域とし、同じくポリシリコン層よりなるゲート電極247が、該ソース領域とドレイン領域の間のチャンネル領域上に形成される。このゲート電極247もpMOSトランジスタ241と同様に、層間絶縁膜248及びリフロー膜249に被覆され、第1層目のアルミニウム配線層250がコンタクトホールを介してn型不純物領域252、252に接続される。

【0065】以上の如きpMOSトランジスタ241とnMOSトランジスタ242が形成された電子回路部211は、さらに層間絶縁膜253が形成され、素子間の配線のための第2層目のアルミニウム層254も形成される。

【0066】本実施例の3次元光電子集積回路装置は、InP基板203、204とシリコン基板201、202のハイブリット構造であるため、両基板の電気的な接続は、ワイヤボンディングが利用される。図15はInP基板203の素子とシリコン基板201のパッド261をワイヤ262によって結線した状態を示す図である。すなわち、シリコン基板201上の電子回路部211から増幅用や駆動用の信号を入出力端子するための端子としてパッド261が該シリコン基板201上に形成され、このパッド261の一端がボンディングされたワ

イヤ262の他端は、PINフォトディテクター213の電極や、レーザーダイオード212の電極とボンディングされる。

【0067】なお、本実施例では、InP基板203、204とシリコン基板201、202の電気的な接続のために、ワイヤボンディングを用いているが、フリップチップ実装法等を用いることもできる。

【0068】本実施例の3次元光電子集積回路装置では、InP基板203、204上に形成されるPINフォトディテクター213やレーザーダイオード212は、シリコン基板201、202を透過する1.3 μ m帯の波長域の光の信号伝送に用いられる。従って、InP基板203、204とシリコン基板201、202のハイブリット構造であっても、光結合の特徴を利用した高速且つ低損失な伝送を実現することができ、3次元化による高集積化や、論理レベルを超越した伝送も可能である。

【0069】また、本実施例では、種々の半導体ICで主流のシリコン基板をそのまま用いることができるため、その応用範囲は極めて広いものとなる。

【0070】

【発明の効果】本発明の3次元化光電子集積回路装置は、複数の半導体基板を積層し、その半導体基板を透過する波長の光信号によって半導体基板同士の間を信号を伝達するために、半導体基板同士の間を信号伝送が、信号の歪み、伝送ロス、相互干渉或いは伝送遅延などの無い理想的なものとなる。特に、本発明では、伝送路の一部が基板自体とされるため、光ファイバーのように伝送ロスが問題となることはなく、その結果レーザー出力の節約が可能であり、時間多重化等により光結合の伝送路を減らして低消費電力化もできる。

【0071】また、本発明は、半導体基板間の基板を透過した光結合がなされるため、高速な動作が可能となり、特に高速性が要求される回路部分に適用することで、システム全体の大幅な高速化が実現される。

【0072】さらに、本発明は、従来のLSIを分割してなる機能ブロックや小ブロック毎の基板を多数積層した構成にできる。従って、3次元化のために基板を多数積層する前の段階で、不良の発見された基板を除いて3次元化を図ることができ、歩留りの大幅な向上が期待できる。

【0073】さらに、本発明の3次元光電子集積回路装置では、多種類の半導体基板を同じ装置内に収めることができ、GaAs IC、ECL或いはCMOS等の各論理レベルを超越した柔軟性の高いIC間の結合も容易になし得る。

【図面の簡単な説明】

【図1】各種半導体結晶の吸収係数の波長依存性を示す特性図である。

【図2】本発明の第1の実施例の3次元光電子集積回路

装置の模式的な分解斜視図である。

【図 3】前記第 1 の実施例の 3 次元光電子集積回路装置の要部縦断面図である。

【図 4】本発明の第 2 の実施例の 3 次元光電子集積回路装置の要部断面図である。

【図 5】本発明の第 2 の実施例における受光素子の一例を示す要部断面図である。

【図 6】前記第 2 の実施例における受光素子の基板主面に垂直な方向の断面に沿ったエネルギーバンド図である。

【図 7】本発明の第 2 の実施例における受光素子の歪み超格子層を用いた他の一例を示す要部断面図である。

【図 8】本発明の第 2 の実施例における受光素子のさらに他の一例を示す要部断面図である。

【図 9】本発明の第 2 の実施例における受光素子の駆動回路の一例を示す回路図である。

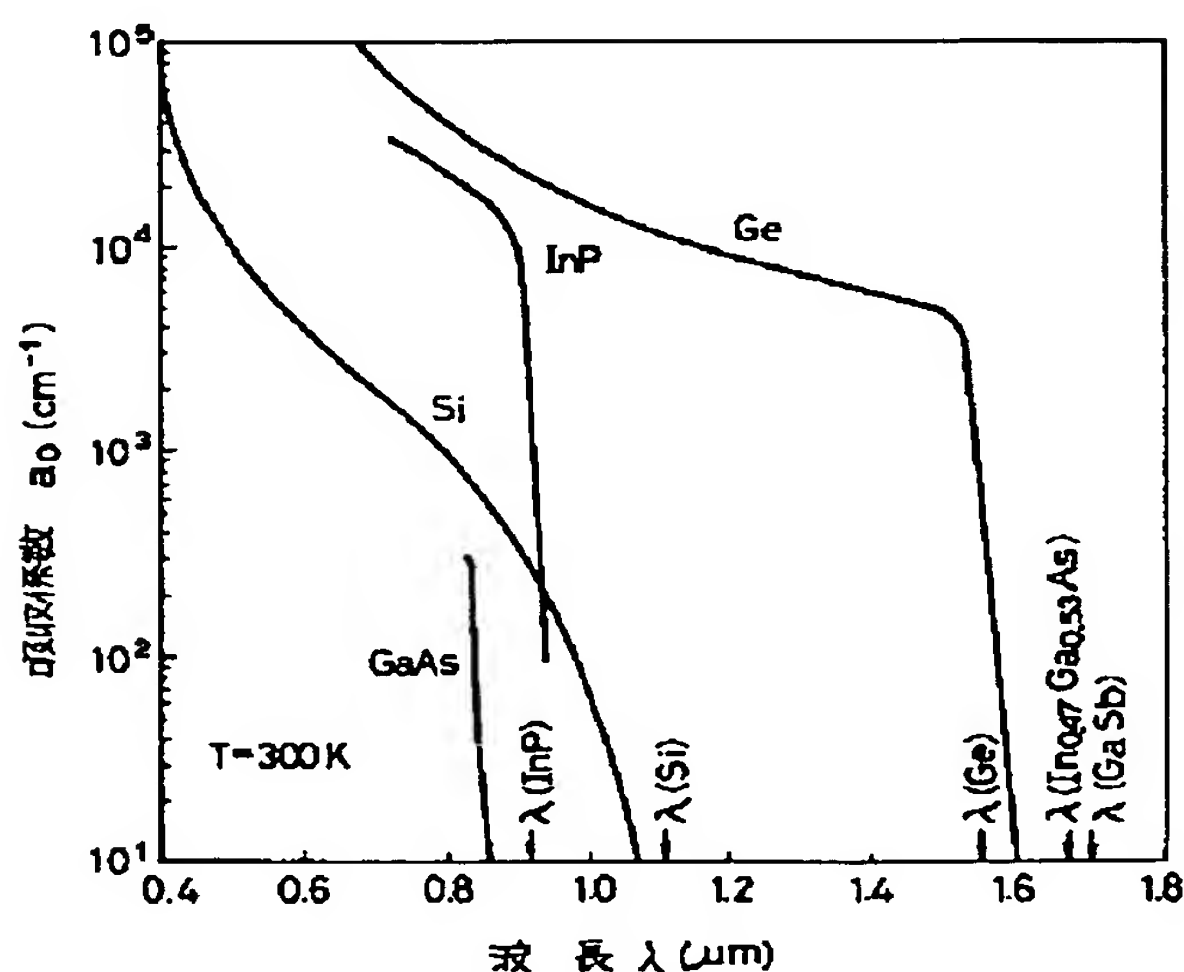
【図 10】本発明の第 2 の実施例における発光素子の駆動回路の一例を示す回路図である。

【図 11】本発明の第 2 の実施例の 3 次元光電子集積回路装置の一例を製造する方法における凹部形成工程までの断面図である。

【図 12】本発明の第 2 の実施例の 3 次元光電子集積回路装置の一例を製造する方法における半導体多層反射膜等の形成工程までの断面図である。

【図 13】本発明の第 2 の実施例の 3 次元光電子集積回路装置の一例を製造する方法における塗布型絶縁膜の形成工程までの断面図である。

【図 1】



各種半導体結晶の吸収係数と吸収端

【図 14】本発明の第 3 の実施例の 3 次元光電子集積回路装置の要部断面図である。

【図 15】本発明の第 3 の実施例における InP 基板とシリコン基板の接続の様子を示す斜視図である。

【符号の説明】

S₁ ~ S_n ... 半導体基板

E_m ... 発光素子

P_d ... 受光素子

11, 12 ... GaAs 基板

15 ... 面発光レーザー

16 ... MSM 型フォトディテクター

17 ... MES-FET

21, 22 ... 半導体多層反射膜

23 ... In_xGa_{1-x}As 歪み量子井戸活性層

33 ... キャップ層

34 ... 光吸収層

35 ... バッファ層

201, 202 ... シリコン基板

203, 204 ... InP 基板

211 ... 電子回路部

212 ... レーザーダイオード

213 ... PIN フォトディテクター

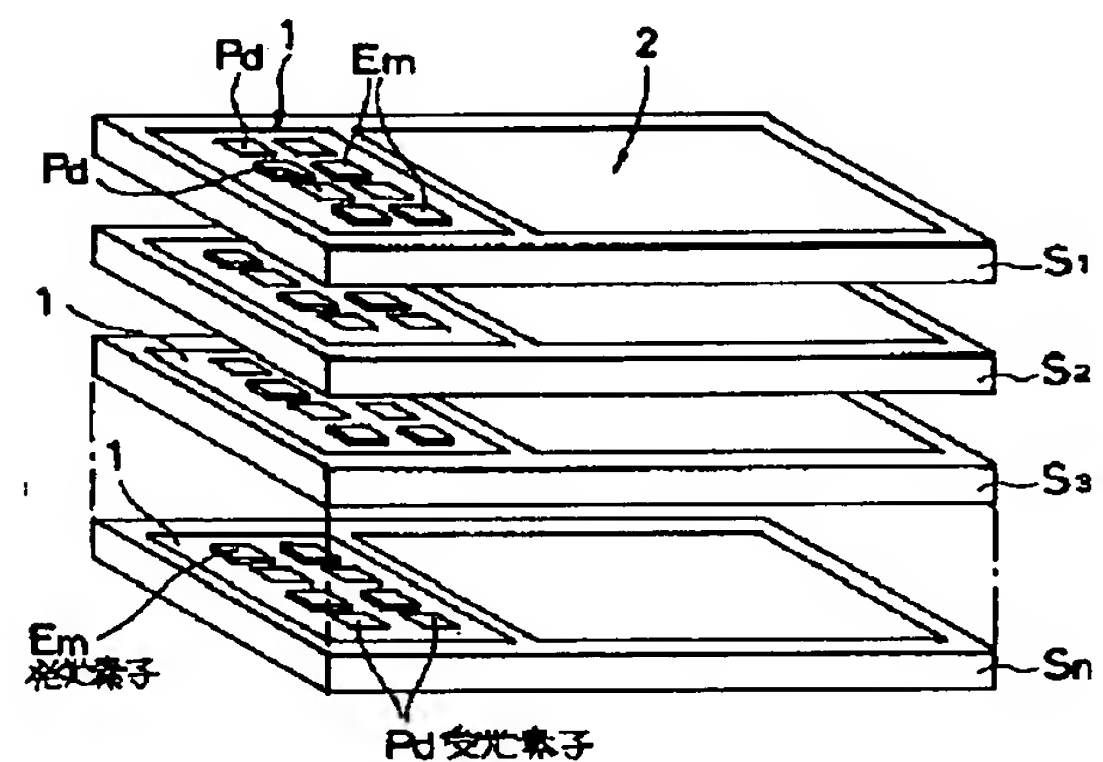
226 ... 45° 反射鏡

231 ... 光吸収層

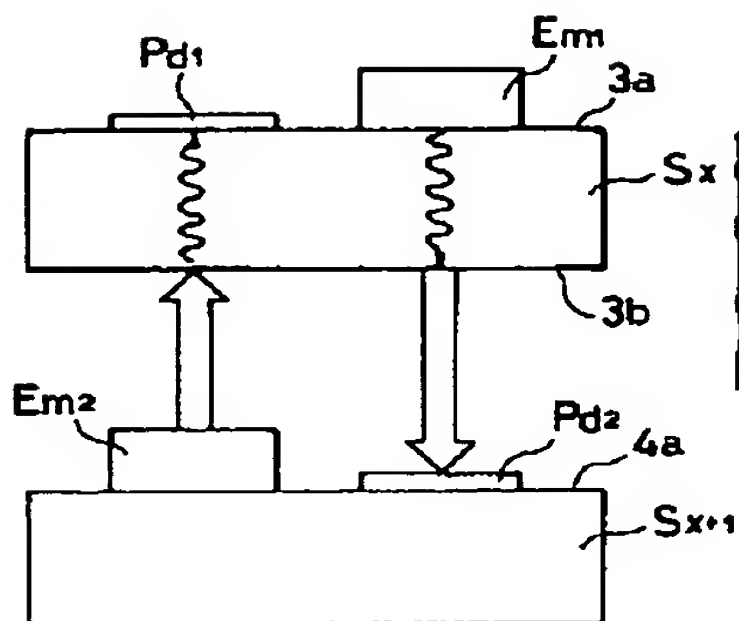
241 ... pMOS トランジスタ

242 ... nMOS トランジスタ

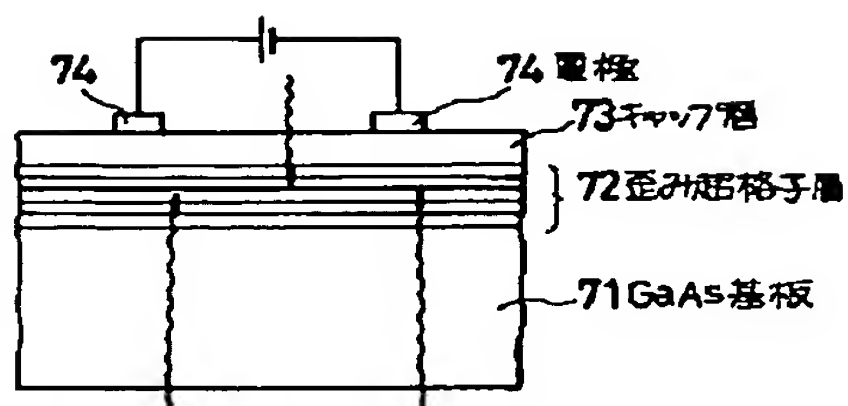
【図 2】



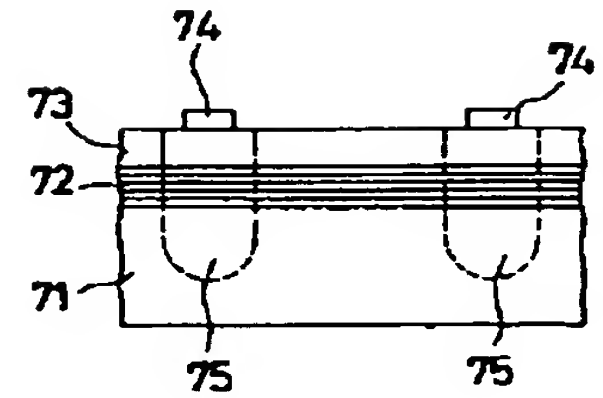
【図 3】



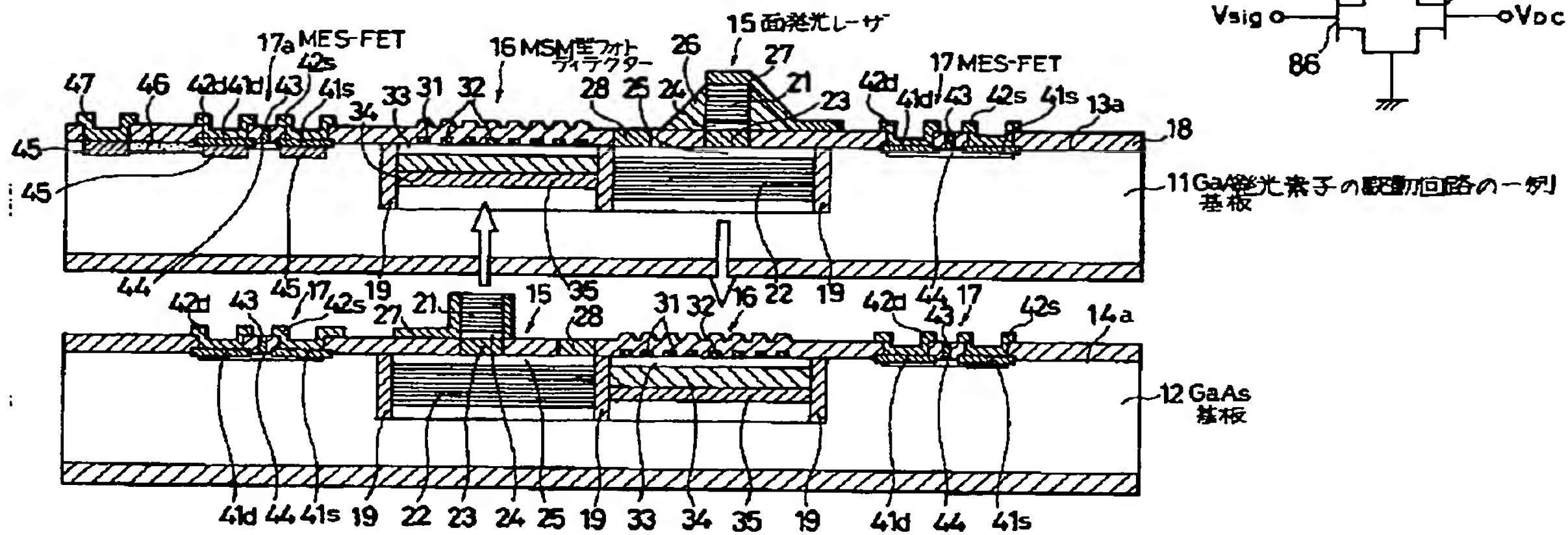
【図 7】



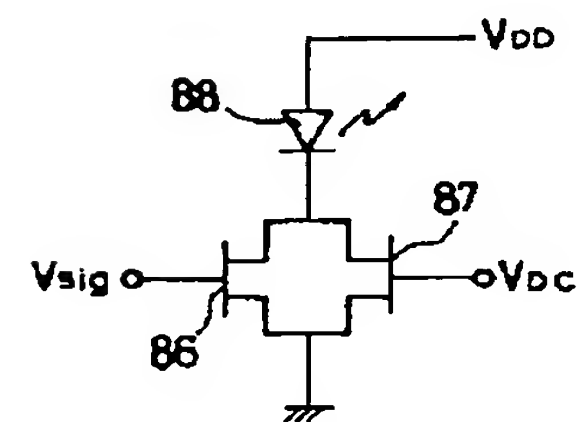
【図 8】



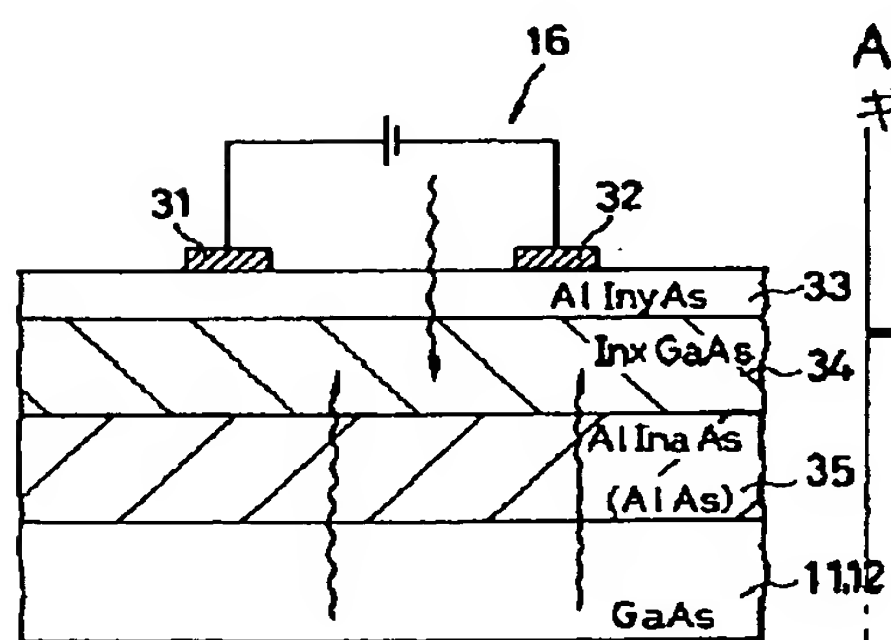
【図 4】



【図 10】

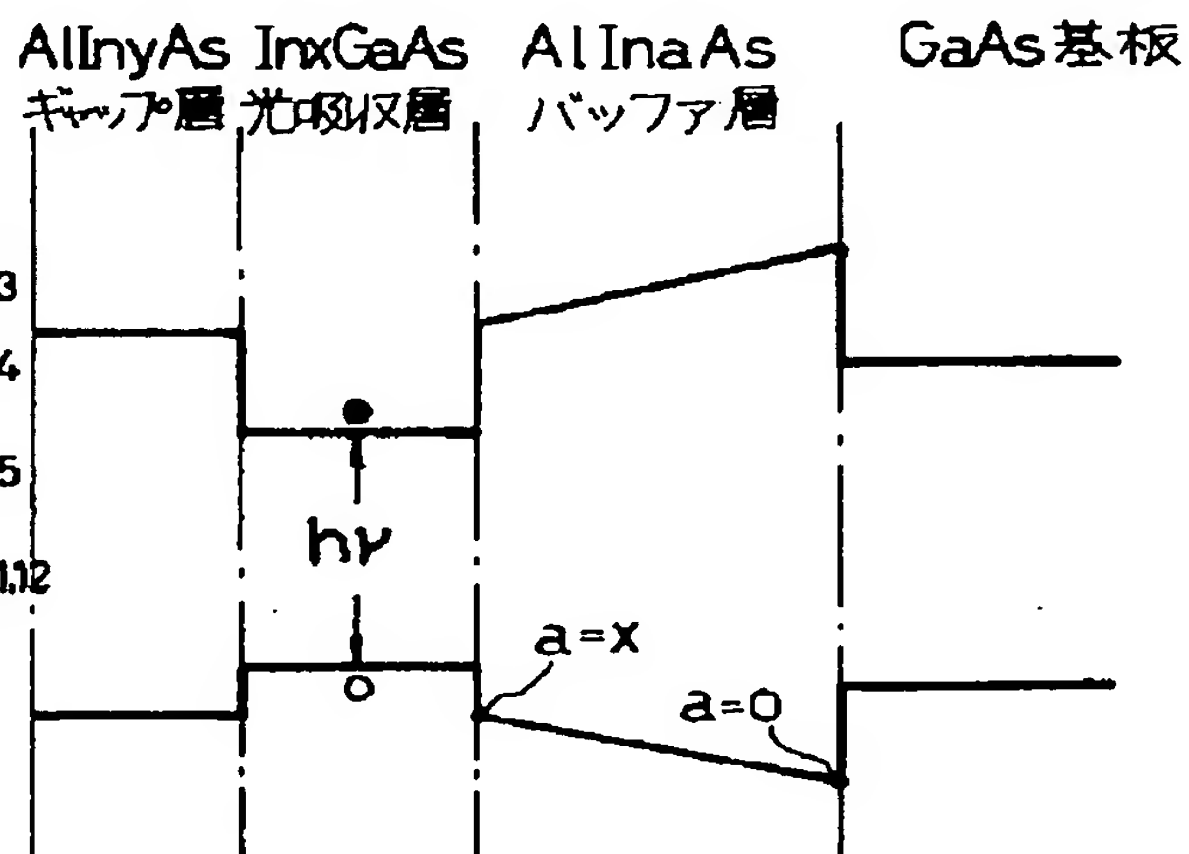


【図 5】

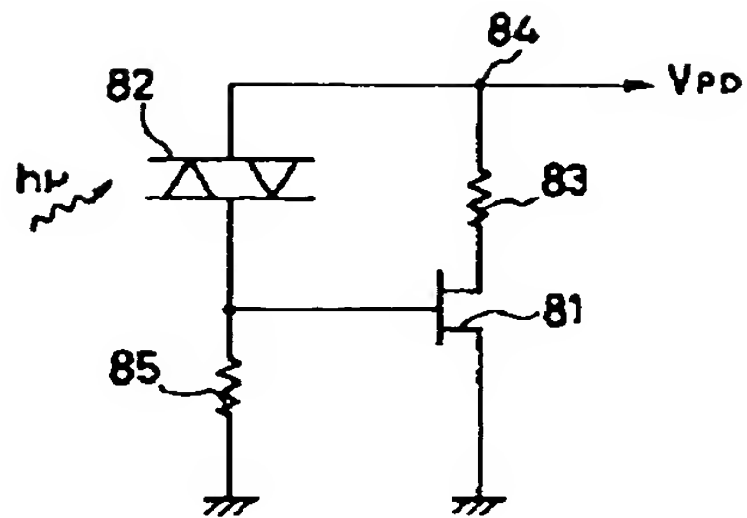


MSM型フォトディテクター

【図 6】

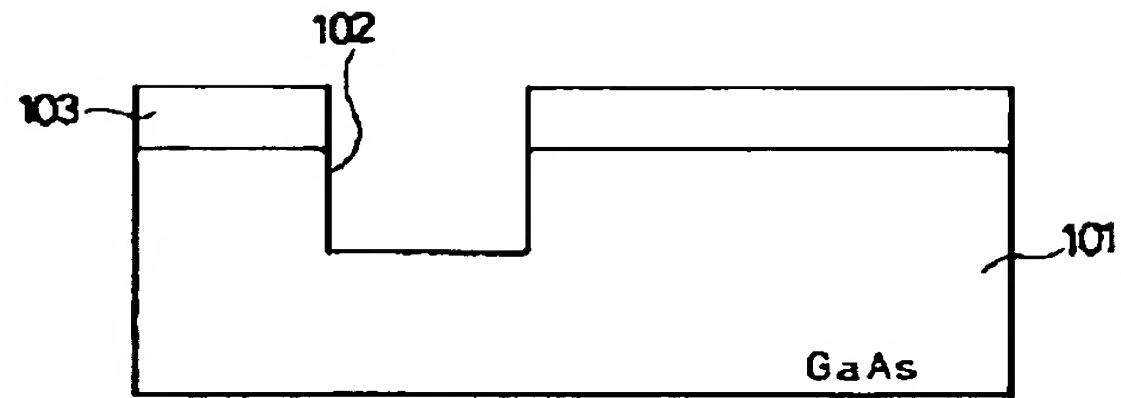


【図 9】

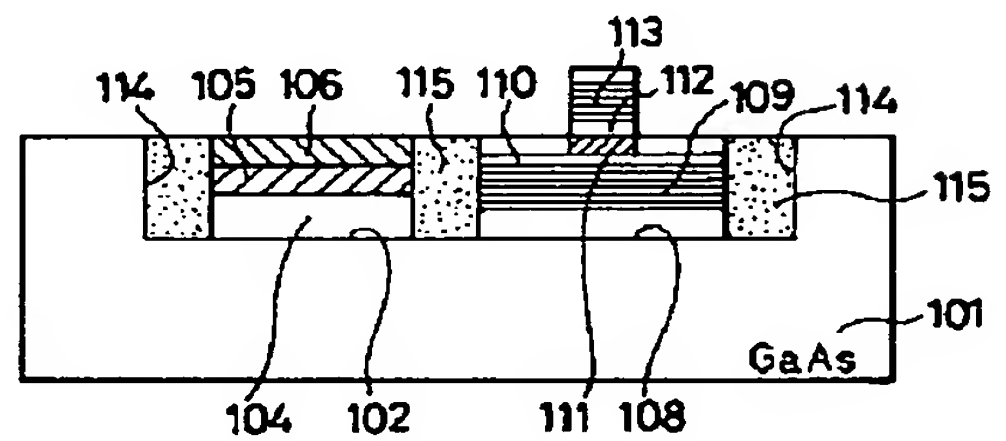


受光素子の駆動回路の一例

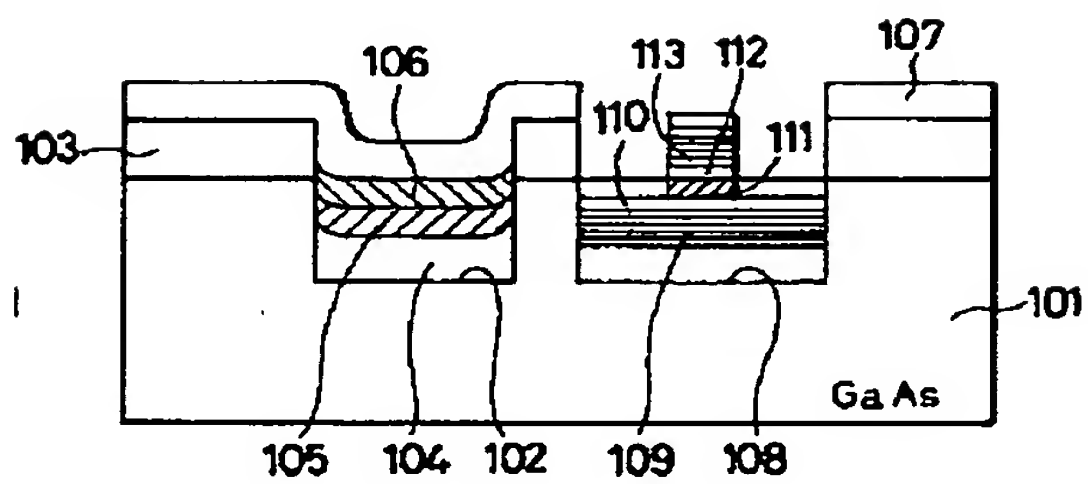
【図 11】



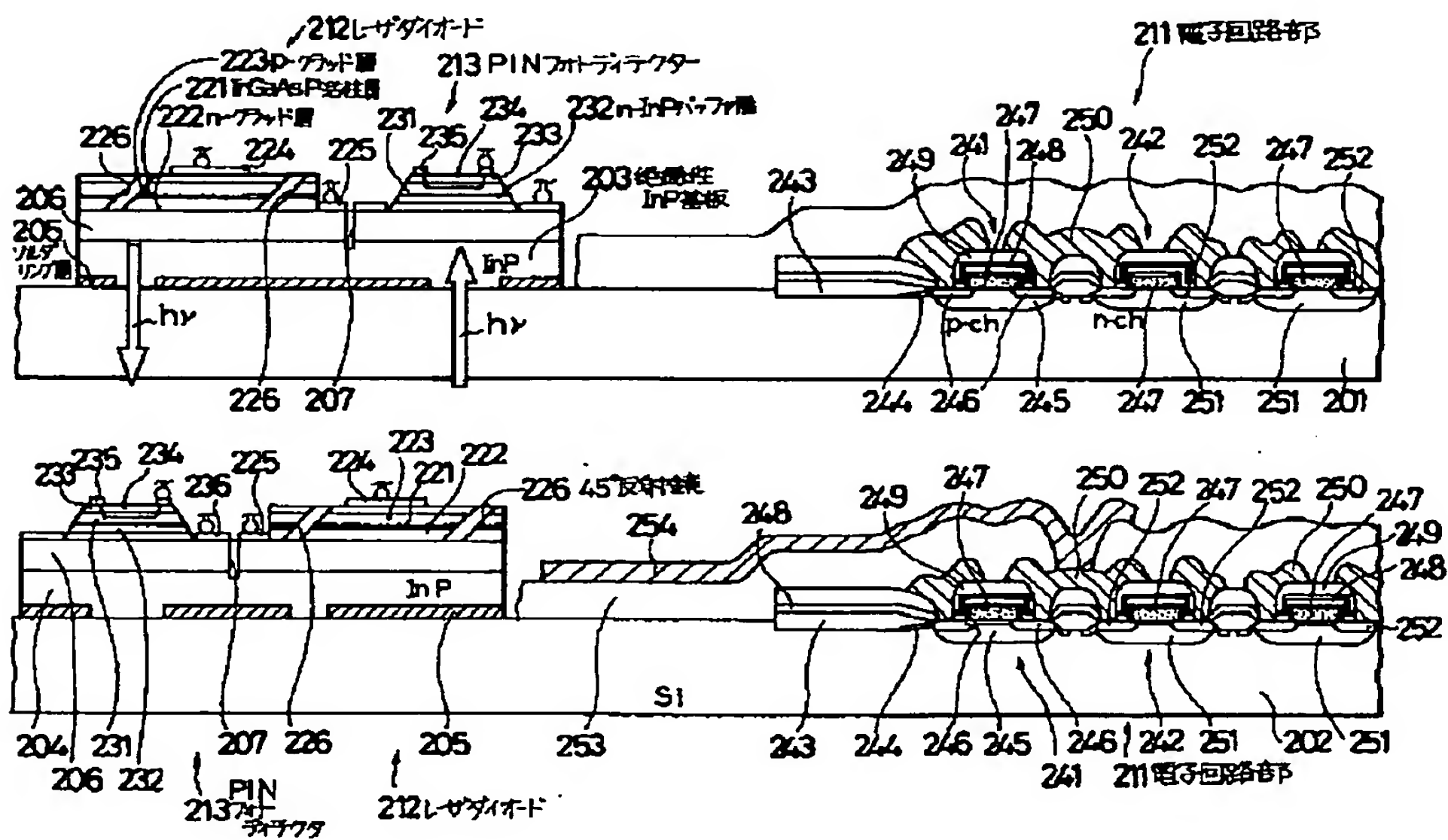
【図 13】



【図 12】



【図 14】



(72)発明者 石川 秀人
東京都品川区北品川6丁目7番35号 ソ
ニ一株式会社内